

PAT-NO: JP410027498A

DOCUMENT-IDENTIFIER: JP 10027498 A

TITLE: SELF TEST CIRCUIT FOR ROM AND TEST METHOD FOR ROM

PUBN-DATE: January 27, 1998

INVENTOR-INFORMATION:

NAME

SHINAGAWA, NORIAKI

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|-------------------------|---------|
| OKI ELECTRIC IND CO LTD | N/A |

APPL-NO: JP08181936

APPL-DATE: July 11, 1996

INT-CL (IPC): G11C029/00, G11C017/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a self test circuit for a ROM having configuration in which even a ROM having large capacity can be used.

SOLUTION: A self test circuit 32 for a ROM comprises a data read-out circuit 10 and a counter 12. The data read-out circuit 10 comprises a word address specifying circuit 14 and a bit position specifying circuit 16. The counter 12 comprises a pulse generation circuit 18 and a data numbers counter 20. The pulse generation circuit 18 comprises a multiplexer 22 and an AND circuit 24. Also, this circuit is provided with a numerical value holding circuit 26, a comparator 28, and a test control circuit 30.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-27498

(43)公開日 平成10年(1998)1月27日

(51) Int.Cl.⁶
G 1 1 C 29/00
17/00

識別記号 庁内整理番号
303

F I
G 11 C 29/00
17/00

技術表示箇所

審査請求 未請求 請求項の数5 O.L (全 9 頁)

(21)出願番号 特願平8-181936

(22)出願日 平成8年(1996)7月11日

(71) 出願人 000000295

沖電氣工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 品川 徳明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

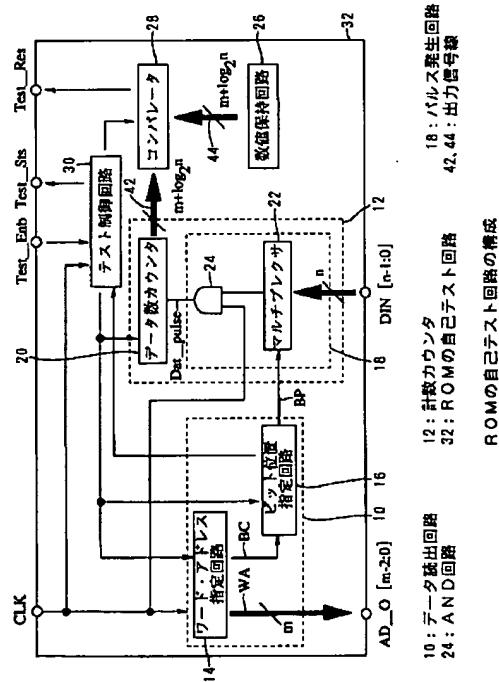
(74) 代理人 弁理士 大堀 孝

(54) 【発明の名称】 ROMの自己テスト回路及びROMのテスト方法

(57) 【要約】

【課題】 ROMの自己テスト回路を、大容量のROMであっても用いることができる構成とする。

【解決手段】 ROMの自己テスト回路32は、データ読出回路10と計数カウンタ12とから構成されている。データ読出回路10は、ワード・アドレス指定回路14とビット位置指定回路16とから構成されている。計数カウンタ12は、パルス発生回路18とデータ数カウンタ20とから構成されている。パルス発生回路18は、マルチプレクサ22とAND(アンド)回路24とを以て構成される。また、数値保持回路26、コンペレータ28およびテスト制御回路30が具えられている。



【特許請求の範囲】

【請求項1】複数ビットを1ワードとして情報を記憶しているROMを内蔵した集積回路に設けられていて前記ROMの機能をクロック信号で同期を取りながらテストするための自己テスト回路において、前記ROMからワードを読み出すワード・アドレス信号を出力すると共に、読み出された前記ワードのビット位置毎の2値データを出力させるためのビット位置指定信号を出力するデータ読出回路と、該ビット位置指定信号に応動して出力された前記2値データのビット値である「1」および「0」のいずれか一方の特定ビット値の出現回数を出力する計数カウンタとを具えることを特徴とするROMの自己テスト回路。

【請求項2】請求項1に記載のROMの自己テスト回路において、前記データ読出回路は、前記ワード・アドレス信号を出力するワード・アドレス指定回路と、該ワード・アドレス指定回路が出力するビットカウント信号に応動して前記ビット位置指定信号を出力するビット位置指定回路とを見え、前記計数カウンタは、前記ビット位置指定信号で指定されたビット位置の前記特定ビット値に応じてパルスを出力するパルス発生回路と、該パルス数をカウントするデータ数カウンタとを具えることを特徴とするROMの自己テスト回路。

【請求項3】請求項2に記載のROMの自己テスト回路において、前記パルス発生回路は、前記指定されたビット位置の2値データを出力するマルチプレクサと、該2値データと前記クロック信号との論理積を取って前記パルスを出力するAND回路とを具えることを特徴とするROMの自己テスト回路。

【請求項4】請求項2に記載のROMの自己テスト回路において、さらに、前記ROMに書き込まれている前記特定ビット値の数（データ数と称する。）を期待値として格納する数値保持回路と、前記データ数カウンタのカウント数と前記数値保持回路が格納する期待値とを比較するコンパレータと、前記ワード・アドレス指定回路、前記ビット位置指定回路、前記データ数カウンタおよび前記コンパレータを前記クロック信号で同期を取りながら制御するテスト制御*

$$\{2^{(n-1)} + 2^{(n-2)} + \dots + 2^0\} \times 2^n \dots (1)$$

この式(1)の{}内は、公比が2で、初期値が1の等比級数の和である。従って、式(1)は、次式(2)のように変形することができる。

$$【0006】 (2^n - 1) \times 2^n \dots (2)$$

式(2)で表される値を2進数に変換するには、次式(3)で表されるように底2の対数を取ればよい。

$$【0007】$$

*回路とを具えることを特徴とするROMの自己テスト回路。

【請求項5】ROMの機能をテストするに当たり、前記ROMに格納された全ての2値データのビット値である「1」および「0」のいずれか一方の特定ビット値の個数を計数し、該個数と予め用意しておいた期待値とを比較することによって前記ROMの機能の診断を行うことを特徴とするROMのテスト方法。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ROMを内蔵した集積回路に設けられていてROMの機能をテストするための自己テスト回路及びROMの機能をテストする方法に関する。

【0002】

【従来の技術】従来、ROM（リード・オンリー・メモリ）の自己テスト回路としては、文献「特開昭59-84536」に開示されている構成がある。この構成例は、複数ビットを1ワードとして情報を記憶しているROMを内蔵した集積回路（ロジックLSI）に設けられ、このROMに格納されている情報をワードを単位として読み出し、これら各ワードが表す値をそれぞれ加算してゆき、この加算結果を予め用意しておいた期待値と比較することによりROMの機能を診断するものである。

【0003】

【発明が解決しようとする課題】しかしながら、最近のプロセス技術の微細化に伴い、ロジックLSIに搭載されるROMが記憶するデータ幅（ワード）も大きくなつておらず、前述した従来の構成では、その回路自体が大規模化してしまうといった問題があった。

【0004】例えば、上記文献に開示されている構成例では、アドレスビット数がm（mは正の整数）であり、データビット数（データ幅）がn（nは正の整数）であるROMが記憶している情報を、ワードを単位として全て読み出し、読み出したそれぞれのワードが表す値を加算する。各ワードを構成しているビット値（「1」および「0」を取る2値データの値）が全て「1」の場合には、この加算値は次式(1)で表される。

【0005】

$$※ 10g_2 \{ (2^n - 1) \times 2^n \} \dots (3)$$

このように、式(1)で表される加算値を算出するには、式(3)で表されるビット数を有した加算器（カウンタ）を必要とする。但し、加算器を1ビット（bit）単位で構成するから、式(3)で表される値の小数点以下は切り上げることにする。すると、式(3)の※50 (2^n - 1)の部分は2^nとして扱ってよい。従って、

式(3)は、次式(4)のように変形することができる。

【0008】

$$\log_2 (2^n \times 2^m) = m + n \quad \dots \quad (4)$$

このように、ROMに記憶されている各ワードが表す値の加算を行うには、式(4)で表される値のビット数を有した加算器を用いなければならない。一般に、加算器は、ビット数に相当する段数の1 bit の全加算器をシリーズに接続した構成となっている。よって、加算器のビット数を増加させるには、加算器を構成する1 bit の全加算器の段数を増加させなければならない。

【0009】以上説明した通り、従来の構成では、テストしようとするROMのアドレスビット数およびデータビット数の増加に伴い、自己テスト回路を構成する加算器のビット数を増大させなければならず、自己テスト回路が大規模化してしまうといった問題があった。

【0010】従って、従来より、ROMの記憶容量の増大化に対応できる構成のROMの自己テスト回路及びROMのテスト方法の出現が望まれていた。

【0011】

【課題を解決するための手段】この発明のROMの自己テスト回路によれば、複数ビットを1ワードとして情報を記憶しているROMを内蔵した集積回路に設けられていて前記ROMの機能をクロック信号で同期を取りながらテストするための自己テスト回路において、前記ROMからワードを読み出すワード・アドレス信号を出力すると共に、読み出された前記ワードのビット位置毎の2値データを出力させるためのビット位置指定信号を出力するデータ読出回路と、このビット位置指定信号に応動して出力された前記2値データのビット値である「1」および「0」のいずれか一方の特定ビット値の出現回数を出力する計数カウンタとを組み立てる。

【0012】このように、データ読出回路により、ROMからワードを読み出してビット位置毎の2値データを出力させ、計数カウンタにより、出力された2値データの「1」および「0」のうちのいずれか一方のデータである特定ビット値(例えば、「1」とする。)の出現回数を出力させることができる。従って、この構成によれば、特定ビット値の出現回数、すなわち、ROMに記憶されている情報を構成する特定ビット値の総数を得ることができる。そして、得られた特定ビット値の出現回数を予め用意しておいた期待値と比較することによって、対象のROMの機能が正常か不良かを診断することができる。

【0013】例えば、アドレスビット数がmであり、データビット数(データ幅)がnであるROMが記憶している情報を、ワードを単位として全て読み出し、読み出したワードを構成している各ビット値を加算する。各ワードを構成しているビット値が全て「1」の場合には、加算値は次式(5)で表される。

【0014】 $n \times 2^m \quad \dots \quad (5)$

式(5)で表される値を2進数に変換するには、次式(6)で表されるように底2の対数を取ればよい。

【0015】

$$\log_2 (n \times 2^m) = m + \log_2 n \quad \dots \quad (6)$$

従って、式(5)で表される加算値を算出するには、式(6)で表されるビット数を有する加算器(カウンタ)が必要である。従来と比較した場合、この発明の構成では、 $(n - 1 \log_2 n)$ ビットだけビット数の少ない加算器で足りることが、上式(4)および(6)を比較することによって分かる。よって、この発明の構成は、従来の構成に比較して、ROMの大容量化に対応しやすいといった特色を有している。

【0016】この発明の好適な構成例によれば、前記データ読出回路は、前記ワード・アドレス信号を出力するワード・アドレス指定回路と、このワード・アドレス指定回路が输出するビットカウント信号に応動して前記ビット位置指定信号を出力するビット位置指定回路とを組み立てる。前記計数カウンタは、前記ビット位置指定信号で指定されたビット位置の前記特定ビット値に応じてパルスを出力するパルス発生回路と、このパルス数をカウントするデータ数カウンタとを組み立てる。

【0017】このように、データ読出回路を、ワード・アドレス指定回路とビット位置指定回路とで以て構成することにより、ROMからワードを読み出してビット位置毎の2値データを出力させることができる。また、計数カウンタを、パルス発生回路とデータ数カウンタとで以て構成することにより、出力された2値データの特定ビット値の出現回数を出力させることができる。

【0018】また、この発明の好適な構成例によれば、前記パルス発生回路は、前記指定されたビット位置の2値データを出力するマルチプレクサと、この2値データと前記クロック信号との論理積を取って前記パルスを出力するAND回路とを組み立てる。

【0019】ここで、マルチプレクサとは、いくつかのデータ入力の中の1つを制御入力によって選んで出力する回路をいう。このように、パルス発生回路をマルチプレクサとAND回路とで以て構成することにより、マルチプレクサに入力されたワードを構成している各2値データを、ビット位置指定信号を制御入力として順次にAND回路側に出力させ、このAND回路に出力された2値データの値が特定ビット値であるか否かに従いパルスを発生させることができる。

【0020】また、この発明の好適な構成例によれば、さらに、前記ROMに書き込まれている前記特定ビット値の数(データ数と称する。)を期待値として格納する数値保持回路と、前記データ数カウンタのカウント数と前記数値保持回路が格納する期待値とを比較するコンパレータと、前記ワード・アドレス指定回路、前記ビット位置指定回路、前記データ数カウンタおよび前記コンパ

レータを前記クロック信号で同期を取りながら制御するテスト制御回路とを具えることを特徴とする。

【0021】このように、データ数カウンタのカウント数と数値保持回路に格納されているデータ数とを、コンパレータによって比較することによって、対象とするROMの機能が正常か不良好かを診断する。また、テスト制御回路により、このROMの自己テスト回路を構成している各構成要素の動作を制御する。

【0022】また、この発明のROMのテスト方法によれば、ROMの機能をテストするに当たり、前記ROMに格納された全ての2値データのビット値である「1」および「0」のいずれか一方の特定ビット値の個数を計数し、この個数と予め用意しておいた期待値とを比較することによって前記ROMの機能の診断を行うことを特徴とする。

【0023】このように、ROMに格納されている全ての2値データの特定ビット値の個数を計数することによって、この計数した個数と予め用意しておいた期待値とを比較することにより、対象としているROMの機能が正常か不良好かを診断することができる。

【0024】

【発明の実施の形態】以下、図を参照して、この発明の実施の形態につき説明する。尚、図は、この発明の構成、配置関係および動作が理解できる程度に概略的に示してあり、また、以下に記載する数値条件等は単なる一例に過ぎず、従って、この発明は、この実施の形態に何ら限定されることがない。

【0025】この実施の形態では、複数ビットを1ワードとして情報を記憶しているROMを内蔵した集積回路に設けられていて、このROMの機能をクロック信号CLKで同期を取りながらテストするためのROMの自己テスト回路32につき説明する。図1は、この発明の実施の形態のROMの自己テスト回路の構成を示すブロック図である。この構成例のROMの自己テスト回路32は、主として、データ読出回路10と、計数カウンタ12とを具えていて、その他に、従来と同様に、数値保持回路26と、コンパレータ28と、テスト制御回路30とをえた構成となっている。

【0026】先ず、データ読出回路10は、ROMからワードを読み出すワード・アドレス信号WAを出力すると共に、読み出されたワードのビット(桁)位置毎の2値データを計数カウンタ12内で出力(または発生)させるためのビット位置指定信号BPを計数カウンタ12へ出力する回路である。ワード・アドレス信号WAは、ROMの自己テスト回路32のアドレス出力端子(アドレスアウト端子とも称する。)AD_Oから外部に出力される。このワード・アドレス信号WAに応答してROMの所定のアドレスに記憶されているワードが読み出され、各ワードは自己テスト回路32のデータ入力端子(データイン端子とも称する。)DINを介して計数カ

ウンタ12に入力される。

【0027】ここで、図1の、ワード・アドレス信号WAを示す信号線に付された記号mは、テストしようとするROMのアドレスビット数がmである場合、ワード・アドレス信号WAを伝送する信号線とアドレス出力端子AD_Oがm個有ることを示している。また、図1のアドレス出力端子AD_Oの横に記載されている[m-2:0]は、アドレスビット数mが3であり、アドレス出力端子AD_Oが3個有ることを示している。

10 【0028】次に、計数カウンタ12は、ビット位置指定信号BPに応動して出力された2値データのビット値である「1」および「0」のいずれか一方の特定ビット値例えば、「1」の出現回数を出力する回路である。計数カウンタ12では、データ入力端子DINから入力された各ワードからビット位置指定信号BPに応動して2値データを選択し、この2値データの特定ビット値の出現回数を特定ビット値の総数を計数して出力する。

【0029】ここで、図1のデータ入力端子DINから計数カウンタ12に入力される信号線に付された記号nは、テストしようとするROMのデータビット数がnである場合、データ入力端子DINから計数カウンタ12に入力される信号線とデータ入力端子DINがn個有ることを示している。また、図1のデータ入力端子DINの横に記載されている[n-1:0]は、データビット数nが2であり、データ入力端子DINが2個有ることを示している。

20 【0030】この実施の形態の構成では、上述したデータ読出回路10は、ワード・アドレス指定回路14とビット位置指定回路16とを具えている。

【0031】ワード・アドレス指定回路14は、ワード・アドレス信号WAを出力する回路である。また、ビット位置指定回路16は、ワード・アドレス指定回路14が输出するビットカウント信号BCに応動してビット位置指定信号BPを出力する回路である。このように、ワード・アドレス指定回路14とビット位置指定回路16との間のタイミングは、ビットカウント信号BCのレベル切換のタイミングにより規定され、これら指定回路14および16が相俟って、ワード・アドレス信号WAとビット位置指定信号BPとを出力するデータ読出回路10を主として構成している。この実施の形態のワード・アドレス指定回路14およびビット位置指定回路16は、好ましくは、通常のカウンタで以て構成するのがよい。

40 【0032】また、この実施の形態の構成では、計数カウンタ12は、パルス発生回路18とデータ数カウンタ20とを具えている。パルス発生回路18は、ビット位置指定信号BPで指定されたビット位置の特定ビット値例えば「1」または「0」に応じてパルスを出力する回路である。また、データ数カウンタ20は、パルス発生

回路18により出力されたパルスの個数をカウントする回路である。

【0033】このように、パルス発生回路18は、ワード・アドレス信号WAによって指定されたワードをデータ入力端子DINから取り込み、このワードのビット位置をビット位置指定信号BPによって指定して、そのビット位置の「1」または「0」のいずれか一方のビット値（特定ビット値）例えは「1」に応じてパルスを1個発生させる。

【0034】例えは、1ワードを2ビットで構成するとした場合、ビット位置指定信号BPが、例えは、下位ビットと上位ビットとを順次に2回指定することになる。各ビットのビット値が全て「1」であれば、信号BPによるビットの指定順に「1」の特定ビット値が出力され、各ビットのビット値が全て「0」であれば、特定ビット値「1」は出力されない。また、例えは、下位の桁のビット値が「1」で、上位の桁のビット値が「0」であれば、下位のビット位置が信号BPで指定されたとき、このビット位置での特定ビット値が「1」であるので、このビット位置の指定時に1個のパルスが発生する。しかし、上位のビット位置の指定時には、パルスは発生しない。このように、指定されたビット位置のビット値が「1」の特定ビット値が出力されて、これに応じてパルスが出力される。

【0035】このパルスの数を、全てのワードについてデータ数カウンタ20でカウントし、総カウント数により、ROMに格納されていた特定ビット値の数（データ数）を計数することができる。この計数結果は、出力信号線42を介して、後述するコンパレータ28の一方の入力端子に入力される。この出力信号線42は、上式（6）で示した通り、 $(m+1 \circ g_2 \circ n)$ 本のラインから成っている。

【0036】上述のパルス発生回路18は、マルチプレクサ22とAND（アンド）回路24とを具えている。マルチプレクサ22は、ビット位置指定信号BPにより指定されたビット位置の2値データを出力する回路である。また、AND回路24は、この2値データとクロック信号CLKとの論理積を取って、上述のパルスを出力する回路である。

【0037】さらに、この実施の形態の構成は、既に説明したように、数値保持回路26、コンパレータ28およびテスト制御回路30を具えている。

【0038】数値保持回路26は、ROMに書き込まれている特定ビット値の数（データ数）を期待値として予め格納している回路である。また、コンパレータ28は、データ数カウンタ20のカウント数と数値保持回路26が格納する期待値とを比較する回路である。そして、テスト制御回路30は、ワード・アドレス指定回路14、ビット位置指定回路16、データ数カウンタ20およびコンパレータ28を、クロック信号CLKで同期

を取りながら、制御する回路である。

【0039】上述の数値保持回路26の出力信号線44は、期待値を表現するのに必要な本数すなわち $(m+1 \circ g_2 \circ n)$ 本のラインから成っている。コンパレータ28は、テストの結果を外部回路に伝達するためのテスト結果信号Test_Resを出力する。また、テスト制御回路30は、テストイネーブル信号Test_Enbを外部回路から受けてテスト動作を開始し、テストステータス信号Test_Stsを出力してテスト完了を外部回路に伝達する。

【0040】図2は、上述の構成のROMの自己テスト回路32を、ROM36を内蔵した集積回路（LSI）34に設けた構成を示すブロック図である。この集積回路34は、主として、ROMの自己テスト回路32、ROM36、ロジック回路38および第2マルチプレクサ40から構成されている。

【0041】ROMの自己テスト回路32は、前述した通り、アドレス出力端子AD_Oからワード・アドレス信号WAを出力する。このワード・アドレス信号WAは、第2マルチプレクサ40によって、周辺回路であるロジック回路（論理素子を用いて論理関数を構成する回路。）38からの出力信号に応じてタイミングが取られ、ROM36のアドレス端子Addrに入力される信号である。このワード・アドレス信号WAの入力により、ROM36は指定されたアドレスに記憶しているワードを、データ出力端子DOutから出力する。

【0042】ワード・アドレス信号WAにより指定されてROM36から出力されたワードは、ROMの自己テスト回路32のデータ入力端子DINに入力される。同時に、このワードは、ロジック回路38側にも出力され、タイミングが取られる。そして、このロジック回路38は、ROMの自己テスト回路32に、クロック信号CLKおよびテストイネーブル信号Test_Enbを出力し、ROMの自己テスト回路32から出力されるテストステータス信号Test_Stsとテスト結果信号Test_Resとを検出して、集積回路34を制御している。

【0043】次に、この実施の形態の動作につき説明する。図3は、ROMの自己テスト回路のテストフローを示すフローチャートである。また、図4は、ROMの自己テスト回路のタイミングチャートを示す図である。この実施の形態では、ROM36として8ワード2ビットのROM（1ワードが2ビットで構成されており、8個のワードを記憶することができるROMである。すなわち、アドレスビット数mが3であり、データビット数nが2であるROMである。）を用いた構成の動作につき説明する。尚、図3中、フローのステップをSで示してある。また、図3中、デシジョンボックスは、二重枠のボックスで示してある。

40 50 【0044】（イ）先ず、テストイネーブル信号Test_Enb

`t_Enb`をアクティブ状態（ロウレベル；Lと表す。）にする（図3のS1および図4の`Test_Enb`）。このように、`Test_Enb=L`と設定することにより、ROMの自己テスト回路32を構成する各回路（ワード・アドレス指定回路14、AND回路24およびテスト制御回路30）に、クロック信号CLKの供給を開始する（図4のCLK）。

【0045】（ロ）このクロック信号CLKの供給に従い、ワード・アドレス指定回路14のカウント値はカウントアップする（図3のS2）。このワード・アドレス指定回路14のカウント値を`Addr_Cnt`で表す。そして、この`Addr_Cnt`の値をワード・アドレス信号WAとして、ROM36のアドレス端子`Addr`に出力する（図3のS3および図4の`Addr`）。ワード・アドレス信号WAが入力されたROM36からは、指定されたアドレスが付された格納場所に記憶されているワードが読み出される（図4のD0およびD1。図4の信号D0およびD1は、データ入力端子DINに入力される各ワードを構成するビットの状態を示す信号である。このように、1ワードのデータ幅分のビットが一度に読み出される。）。

【0046】読み出されたワードはマルチプレクサ22に入力され、このマルチプレクサ22は、ビット位置指定回路16に入力されるビット位置指定信号BPのレベルに従い、データ入力端子DINから入力された信号D0およびD1のいずれか一方を選択して出力する。この実施の形態では、先ず、ビット位置指定信号BPがロウレベルのときに信号D0を出力して、次に、ビット位置指定信号BPがハイレベルのときに信号D1を出力するように構成してある（図4のBP、D0およびD1）。

【0047】ビット位置指定信号BPのロウレベルからハイレベルへのレベル切換指令は、ワード・アドレス指定回路14が出力するビットカウント信号BCによって行われる。ビットカウント信号BCは、図4には図示していないが、ワード・アドレス指定回路14へのクロック信号CLKの入力パルス数に応じて変化する。この実施の形態のビットカウント信号BCは、テストイネーブル信号`Test_Enb`がアクティブ状態になってから（図3のS1および図4の`Test_Enb`）、8個のクロック信号CLKパルスをカウントしたときに、ビット位置指定信号BPのレベルを切り換えるように指示を行う信号である。

【0048】マルチプレクサ22から出力された2値データは、AND回路24の一方の入力端子に入力され、他方の入力端子に入力されるクロック信号CLKとの論理積が取られて出力される。図1および図4には、AND回路24の出力信号を`Dat_pulse`として示してある。この`Dat_pulse`信号のパルス数は、特定ビット値の出現回数を示している。

【0049】すなわち、この実施の形態では特定ビット

値として「1」を取り、図4に示される通り、ビット位置指定信号BPがロウレベルのときには、クロック信号CLKと信号D0との論理積が取られて`Dat_pulse`信号として出力される。この`Dat_pulse`信号のハイレベルの状態の数が、特定ビット値である

「1」の個数に対応している。また、ビット位置指定信号BPがハイレベルのときには、クロック信号CLKと信号D1との論理積が`Dat_pulse`信号として出力される。このようにして出力された`Dat_pulse`信号のパルス数が、ROM36に記憶されていた特定ビット値の総数を示すことになる。この`Dat_pulse`信号はデータ数カウンタ20に入力されて、そこで上述のパルス数が計数される（図3のS4および図4の`Data_Cnt`）。

【0050】（ハ）ワード・アドレス指定回路14のカウント数は、テスト制御回路30によって監視されており、このカウント数が最大ワード数（`Word_MAX`と称する。） 2^n になるまで前述のステップ（ロ）を繰り返し行わせる（図3のS5）。

【0051】（ニ）また、ビット位置指定回路16のカウント数（`Data_Cnt`と称する。）は、テスト制御回路30によって監視されており、このカウント数が最大データビット数（`Data_MAX`と称する。） n になるまで前述のステップ（ロ）および（ハ）を繰り返し行わせる（図3のS6およびS7）。

【0052】このように、ROM36に格納された全ての2値データのビット値である「1」および「0」のいずれか一方の特定ビット値（この実施の形態では、「1」）の個数を計数する。

【0053】（ホ）次に、データ数カウンタ20のカウント値（`ROMDat_Cnt`と称する。）と数値保持回路26の記憶している値（`ROMDat_Num`と称する。）とを比較する（図3のS8）。これらの値が等しいとき、すなわち $ROMDat_Cnt = ROMDat_Num$ のとき、コンパレータ28は、テスト結果信号`Test_Res`をロウレベル（`Pass`状態と称している。）の状態にする（図3のS9および図4の`Test_Res`）。一方、 $ROMDat_Cnt \neq ROMDat_Num$ のとき、コンパレータ28は、テスト結果信号`Test_Res`をハイレベル（`Fail`状態と称している。）の状態にする（図3のS10および図4の`Test_Res`）。

【0054】このように、特定ビット値の個数と予め用意しておいた期待値とを比較することによって前記ROMの機能の診断を行う。

【0055】（ヘ）次に、テストステータス信号`Test_Status`をロウレベルの状態にして、外部回路（図2のロジック回路38）にテストが終了したことを伝達する（図3のS11および図4の`Test_Status`）。最後に、テストイネーブル信号`Test_Enb`がハイレ

ルス

11

ベル (Hで表す。) の状態へと変遷したことを確認して (図3のS12)、テストステータス信号Test_Sysをハイレベルへと切り換えることにより、非アクティブ状態にする (図3のS13)。

【0056】

【発明の効果】上述した説明からも明らかなように、この発明のROMの自己テスト回路によれば、データ読出回路により、ROMからワードを読み出してビット位置毎の2値データを出力させ、計数カウンタにより、出力された2値データの特定ビット値の出現回数を出力させることができる。従って、この構成によれば、特定ビット値の出現回数、すなわち、ROMに記憶されている情報を構成する特定ビット値の総数を得ることができる。そして、得られた特定ビット値の出現回数を予め用意しておいた期待値と比較することによって、対象のROMの機能が正常か不良かを診断することができる。また、従来の構成に比較して、この発明の構成の方が、ROMの大容量化に順応しやすいといった特徴を有している。

【0057】この発明の好適な構成例によれば、データ読出回路を、ワード・アドレス指定回路とビット位置指定回路とで以て構成することにより、ROMからワードを読み出してビット位置毎の2値データを出力させることができる。また、計数カウンタを、パルス発生回路とデータ数カウンタとで以て構成することにより、出力された2値データの特定ビット値の出現回数を出力させることができる。

【0058】また、この発明の好適な構成例によれば、パルス発生回路をマルチプレクサとAND回路とで以て構成することにより、マルチプレクサに入力されたワードを構成している各2値データを、ビット位置指定信号を制御入力として順次にAND回路側に出力させ、AND回路に出力された2値データの値が特定ビット値であるかないかに従いパルスを発生させることができる。

12

【0059】さらに、この発明の好適な構成例によれば、データ数カウンタのカウント数と数値保持回路に格納されているデータ数とを、コンパレータによって比較することによって、対象とするROMが正常か不良かを診断する。また、テスト制御回路により、このROMの自己テスト回路を構成している各構成要素の動作を制御する。

【0060】そして、この発明のROMのテスト方法によれば、ROMに格納されている全ての2値データの特定ビット値の個数を計数することによって、この計数した個数と予め用意しておいた期待値とを比較することにより、対象としているROMの機能が正常か不良かを診断することができる。

【図面の簡単な説明】

【図1】ROMの自己テスト回路の構成を示す図である。

【図2】ROMを内蔵した集積回路の構成を示す図である。

【図3】ROMの自己テスト回路のテストフローを示す図である。

【図4】ROMの自己テスト回路のタイミングチャートを示す図である。

【符号の説明】

10 : データ読出回路 12 : 計数カウンタ

14 : ワード・アドレス指定回路

16 : ビット位置指定回路 18 : パルス発生回路

20 : データ数カウンタ 22 : マルチプレクサ

24 : AND回路 26 : 数値保持回路

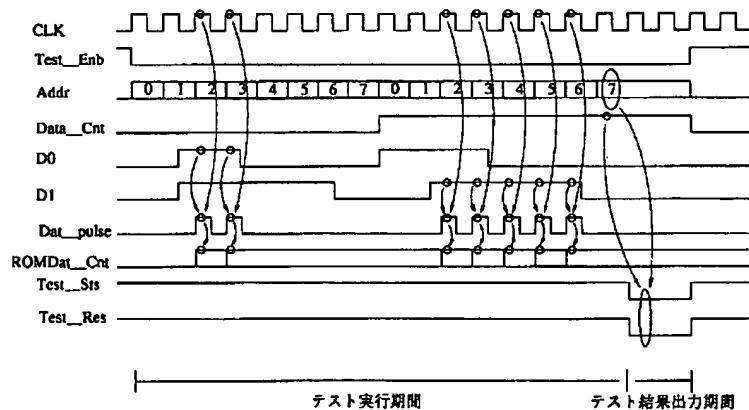
28 : コンパレータ 30 : テスト制御回路

32 : ROMの自己テスト回路 34 : LSI

36 : ROM 38 : ロジック回路

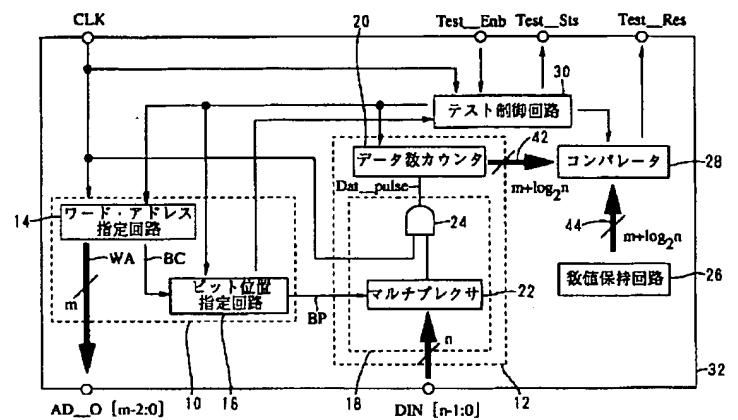
40 : 第2マルチプレクサ 42, 44 : 出力信号線

【図4】



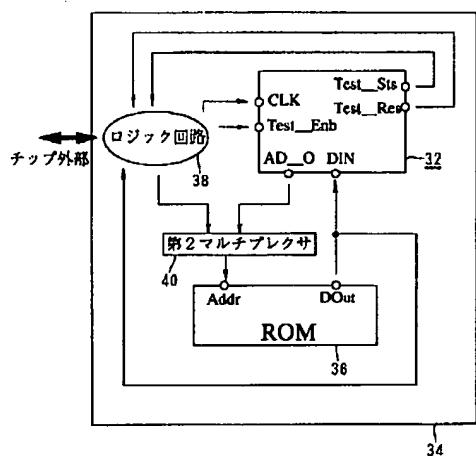
ROMの自己テスト回路のタイミングチャート

【図1】

10: データ読出回路
24: AND回路12: 計数カウンタ
32: ROMの自己テスト回路18: パルス発生回路
42, 44: 出力信号線

ROMの自己テスト回路の構成

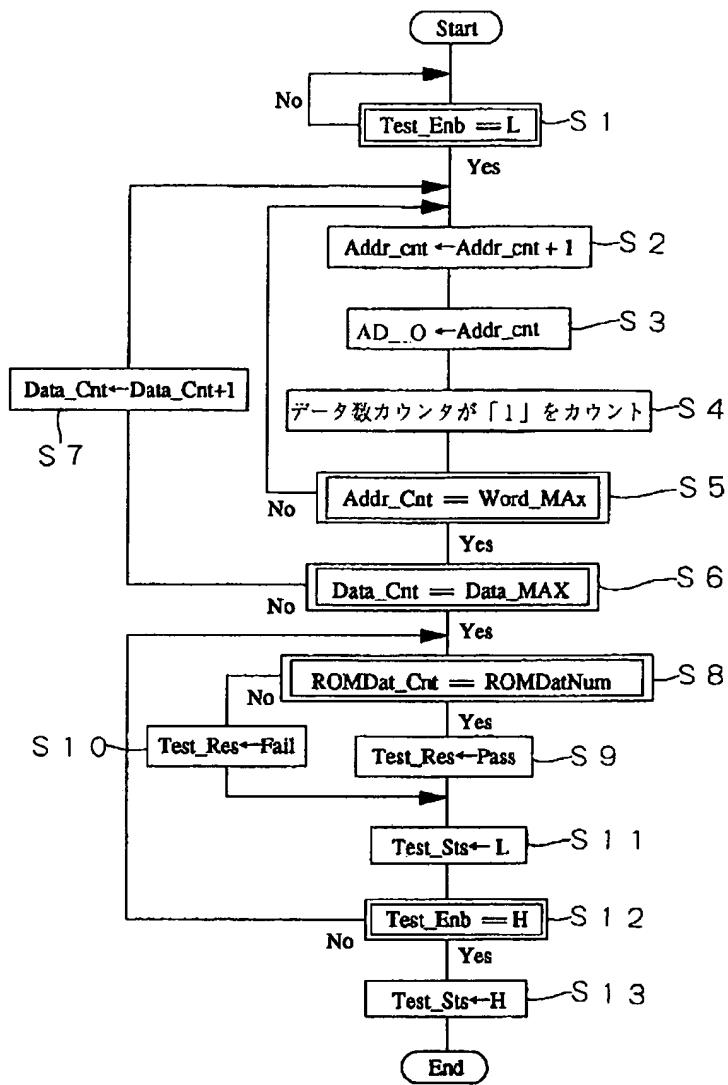
【図2】



34: LSI

ROMを内蔵した集積回路の構成

【図3】



Word_MAX : 最大ワード数

Data_MAX : 最大データビット数

ROMDatNum : ROM内に書き込まれている1のデータの全個数

ROMの自己テスト回路のテストフロー